



JP9096836

Biblio

Page: 1

esp@cenet

**LIQUID CRYSTAL DISPLAY DEVICE**

Patent Number: JP9096836  
Publication date: 1997-04-08  
Inventor(s): ONOZUKA YUTAKA; UEDA TOMOMASA  
Applicant(s):: TOSHIBA CORP  
Requested Patent: ☐ JP9096836  
Application Number: JP19950253737 19950929  
Priority Number(s):  
IPC Classification: G02F1/136 ; H01L29/786  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To obtain stability with excellent characteristics while substantially preventing the influence of the potential by change, etc., existing above thin-film transistors (TFTs) by forming active layers consisting of specific amorphous silicon on gate electrodes via the insulating films held therebetween.

**SOLUTION:** This liquid crystal display device has an insulating substrate, the gate electrodes formed on this insulating substrate and the active layers 5 consisting of the amorphous silicon formed on the gate electrodes via the insulating films 3 interposed therebetween. Group zero elements of  $\geq 0.1\text{atm.}\%$  are incorporated into the regions of the range within 50nm from the surface on the side opposite to the gate electrodes of the active layer and the group zero elements are not incorporated or are incorporated at just  $\leq 0.1\text{atm.}\%$  into the regions exclusive therefrom. The increase in the leak current at the time of off cannot be prevented when only the group zero elements are incorporated at  $< 0.1\text{atm.}\%$  into the regions within 50nm from the surface on the side opposite to the gate electrodes of the active layers 4.  $\langle \#s \rangle$  The element characteristics of the TFTs are deteriorated when the group zero elements are incorporated at  $\geq 0.1\text{atm.}\%$  in the regions exceeding 50nm.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-96836

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl. <sup>8</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 8 G

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号 特願平7-253737

(22) 出願日 平成7年(1995)9月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 小野塚 豊

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 上田 知正

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

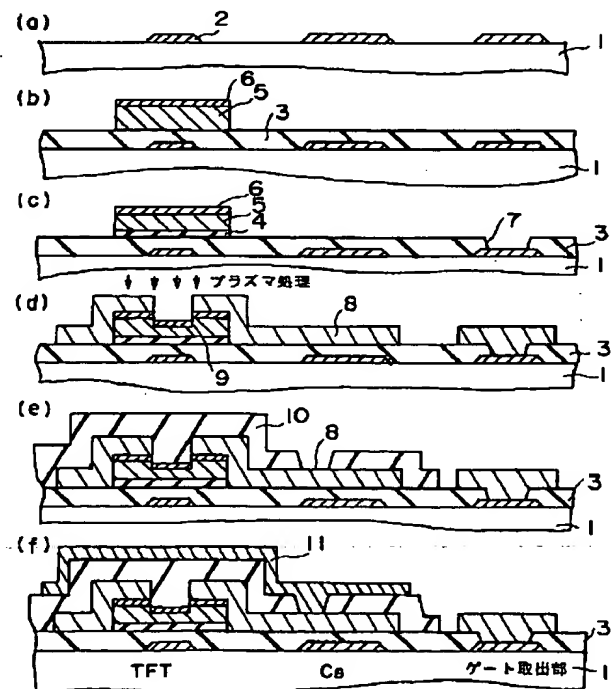
(74) 代理人 弁理士 鈴江 武彦

## (54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【課題】 オフ電流の少ない薄膜トランジスタを具備する、表示特性の良好な反射型液晶表示装置を提供すること。

【解決手段】 絶縁基板と、この絶縁基板上に形成されたゲート電極と、このゲート電極上に絶縁膜を間に介して形成されたアモルファスシリコンからなる活性層とを有する薄膜トランジスタを具備し、前記活性層の、前記ゲート電極と反対側の面から50nm以内の範囲の領域に、0.1原子%以上の第0族元素が含有され、それ以外の領域には、第0族元素は含有されないか、又は0.1原子%未満しか含有されていないことを特徴とする。



## 【特許請求の範囲】

【請求項1】 絶縁基板と、この絶縁基板上に形成されたゲート電極と、このゲート電極上に絶縁膜を間に介して形成されたアモルファスシリコンからなる活性層とを有する薄膜トランジスタを具備し、前記活性層の、前記ゲート電極と反対側の面から50nm以内の範囲の領域に、0.1原子%以上の第0族元素が含有され、それ以外の領域には、第0族元素は含有されないか、又は0.1原子%未満しか含有されていないことを特徴とする液晶表示装置。

【請求項2】 前記活性層の、前記ゲート電極と反対側の面から50nm以内の範囲の領域に、0.1原子%~1.0原子%のアルゴンが含有されることを特徴とする請求項1に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特に、優れた特性の薄膜トランジスタを具備し、良好な表示特性を有する液晶表示装置に関する。

## 【0002】

【従来の技術】低消費電力化が可能な表示装置として、反射型の液晶表示装置がある。この反射型の液晶表示装置の一例について説明する。まず、ガラス基板上にSiO<sub>x</sub>膜を形成した後、ゲート電極層を形成する。次いで、SiO<sub>x</sub>やSiN<sub>x</sub>の単層又は積層からなる絶縁層、a-Si層、及びn<sup>+</sup>a-Si層を順次堆積し、n<sup>+</sup>a-Si層及びa-Si層を順次パターニングして、a-Siの島パターンを形成する。

【0003】次に、ゲート絶縁膜をパターニングして、ゲート電極取り出し用の孔を形成する。更に金属層を堆積し、パターニングして、信号線電極層を形成する。なお、このパターニング工程では、まずレジストパターンを形成して、それをマスクに金属層をエッチングし、その後、CDE装置等を用いてn<sup>+</sup>a-Si層、a-Si層を連続的にエッチングする。

【0004】その後、SiN<sub>x</sub>膜等を堆積してパターニングし、パッシベーション膜を形成する。次いで、Al等の金属層を堆積し、パターニングして、画素電極層を形成する。その後、液晶の配向膜となるポリイミド膜を堆積し、アレイ基板が完成する。更に、ITO層及びカラーフィルター層を有する対向基板と組み合わせ、これら基板の間に液晶を注入することにより、反射型の液晶表示装置が完成する。

【0005】しかし、以上のような反射型の液晶表示装置では、開口率を上げるため、薄膜トランジスタの上部に画素電極がかぶっているため、画素電極の電位の影響により薄膜トランジスタの特性劣化を引き起こすという問題があった。特に、オフ時のリーク電流が増大するため、表示特性が劣化するという問題があった。

【0006】また、一方、透過型の液晶表示装置の低コ

スト化のため、以下のような構造が提案されている。即ち、まず、ガラス基板上にSiO<sub>x</sub>膜を形成し、さらにゲート電極層を形成する。次いで、SiO<sub>x</sub>やSiN<sub>x</sub>の単層又は積層からなる絶縁層、a-Si層、及びn<sup>+</sup>a-Si層を順次堆積し、n<sup>+</sup>a-Si層、a-Si層を順次パターニングして、a-Si層の島パターンを形成する。次に、ITO層をスパッタ法等で形成し、パターニングして、画素電極層を形成する。

【0007】その後、ゲート絶縁膜をパターニングして、ゲート電極取り出し用の孔を形成する。更に、金属層を堆積し、パターニングして、信号線電極層を形成する。なお、このパターニング工程では、まずレジストパターンを形成して、それをマスクに金属層をエッチングし、その後、CDE装置等を用いてn<sup>+</sup>a-Si層、a-Si層を連続的にエッチングする。その後、液晶の配向膜となるポリイミド膜を堆積し、アレイ基板が完成する。更に、ITO層及びカラーフィルター層を有する対向基板と組み合わせ、これらの基板の間に液晶を注入することにより、液晶表示装置が完成する。

【0008】しかし、以上のような構造では、通常、ポリイミド膜の形成前に形成しているSiN<sub>x</sub>層等からなるパッシベーション膜が省かれているため、工程削減の効果により低コスト化が可能であるが、ポリイミド膜が信号線金属層やa-Si層と接しているため、長時間使用した場合、信号線金属層等からポリイミド層への電荷の注入が生じ、薄膜トランジスタの特性を悪化させるといった問題があった。具体的には、注入電荷の電位の影響によりオフ時のリーク電流の増加が起こり、特性の信頼性が劣化するという問題があった。

## 【0009】

【発明が解決しようとする課題】このように、従来の反射型液晶表示装置では、画素電極の電位の影響によりオフ電流が増加し、表示特性が悪化するという問題があった。また、パッシベーション膜を除いた透過型液晶表示装置でも、オフ電流の増加が起こり、特性の信頼性に劣っているという問題があった。

【0010】本発明は、上記事情に鑑みなされたもので、薄膜トランジスタの上方にある電荷等による電位の影響を受けにくく、特性の安定性に優れた液晶表示装置を提供することを目的とする。

## 【0011】

【課題を解決するための手段】上記課題を解決するため、本発明（請求項1）は、絶縁基板と、この絶縁基板上に形成されたゲート電極と、このゲート電極上に絶縁膜を間に介して形成されたアモルファスシリコンからなる活性層とを有する薄膜トランジスタを具備し、前記活性層の、前記ゲート電極と反対側の面から50nm以内の範囲の領域に、0.1原子%以上の第0族元素が含有され、それ以外の領域には、第0族元素は含有されないか、又は0.1原子%未満しか含有されていないことを

特徴とする液晶表示装置を提供する。

【0012】また、本発明（請求項2）は、上記液晶表示装置（請求項1）において、前記活性層の、前記ゲート電極と反対側の面から50nm以内の範囲の領域に、0.1原子%～1.0原子%のアルゴンが含有されることを特徴とする液晶表示装置を提供する。

【0013】以下、本発明の液晶表示装置の構成、作用、原理について、より詳細に説明する。本発明の液晶表示装置における薄膜トランジスタでは、活性層のゲート電極と反対側の面（以後、バックチャネル界面と呼ぶことにする。）から50nm以内の範囲の領域に、0.1原子%以上の第0族元素が含有される。

【0014】バックチャネル界面から50nm以内の範囲の領域における第0族元素の含有量は、0.1原子%以上が好ましい。また、1原子%以下であるのが好ましい。更に、バックチャネル界面30nm以内の範囲の領域に、0.1原子%以上の第0族元素が含有され、それ以外の領域には含有されないか、又は0.1原子%未満しか含有されていないことが好ましい。

【0015】活性層のバックチャネル界面から50nm以内の範囲の領域に、0.1原子%未満の第0族元素しか含有されていない場合には、オフ時のリーク電流の増加を防ぐという本発明の効果を得ることが出来ない。一方、1原子%を越えると、バックチャネル付近の抵抗が下がり、逆にリーク電流が増加し、表示特性が劣化してしまうことがある。

【0016】第0族元素としては、アルゴン、ネオン、クリプトン、キセノン等が使用可能であるが、アルゴンが最も好ましい。バックチャネル界面から50nmの領域に含有される元素が第0族元素でなければならないのは、これらの元素が活性層中でシリコンと結合を作らないからである。第0族元素以外の元素が含有される場合には、これらの元素は活性層中でシリコンと結合を作り、シリコンのダングリングボンドの形成を妨げ、好ましくない。また、水素のようなサイズの小さい元素では、熱工程により抜けてしまい、本発明の効果を得ることが出来ない。

【0017】活性層のバックチャネル界面から50nmを越える領域には、第0族元素は含有されないか、又は0.1原子%未満しか含有されていなければならない。活性層のバックチャネル界面から50nmを越える領域に、第0族元素が0.1原子%以上含有する場合には、薄膜トランジスタの素子特性が劣化してしまい、液晶表示装置の表示特性を劣化させることになる。

【0018】薄膜トランジスタの上方の電位の影響によりオフリーク電流が増加するのは、その電位により、トランジスタの活性層を構成するa-Si中で、通常のゲート側と反対側の界面（以後、バックチャネル界面と呼ぶことにする）付近において、バンドが曲がり、電子の蓄積が起こってチャネルが生じ、電流が流れることが原

因であることがわかった。従って、この電流を減少させるためには、バックチャネル界面でのバンドの曲がり（バンドベロディング）を防ぎ、チャネルを生じさせなければ良い。

【0019】本発明者らは、このようなバンドベロディングを防ぐ方法としては、界面単位密度を増加させることが有効であると考えた。そこで、本発明では、リアクティブイオンエッチング（RIE）装置等を用いて、プラズマ処理を行うことにより、このバックチャネル界面付近にダメージを与えることとした。このようにバイアスをかけたプラズマ処理を行うことにより、イオンの物理的ダメージが、a-Si層のバックチャネル部分に加わることで、容易に界面単位を形成することができた。

【0020】これは、イオンダメージにより、a-Si中のSi-H結合やSi-Si結合が切断され、Siのダングリングボンドが形成されているためであることがわかった。と考えられる。更に、本発明者らは、Ar等の不活性元素を用いたプラズマ処理を行うことにより、界面単位を効率的に形成することが出来ることを見いだした。なぜなら、一般にはプラズマ処理によりプラズマ種のイオンはa-Si中に残留する可能性があり、活性な元素を用いている場合は、a-Si中のSiと反応してSiのダングリングボンドの形成を防げる可能性があると考えられるが、不活性元素を用いた場合は、そのような心配はなくなると考えられるからである。

【0021】また、水素のようなサイズの小さい元素では、a-Si中に残留しても、後の熱工程により容易に脱離してしまうが、不活性元素はサイズが大きいため、後の熱工程によっても脱離することはない。

【0022】なお、イオンダメージが大きすぎると、a-Si層のバックチャネル付近の抵抗が下がり、オフリーク電流が増加してしまう。従って、適度なダメージが必要である。

【0023】実際に、薄膜トランジスタの上方（ゲートと反対側）に電極（バックゲート電極）を形成し、電圧（バックゲート電圧）を加える実験を行った。即ち、0～30Vのバックゲート電圧を印加した状態で、ゲート電圧を-15V～25Vの範囲で変化させて、オフ電流を測定した。その結果を図1及び図2に示す。図1は、バックチャネル界面にプラズマ処理をしなかった薄膜トランジスタの場合のゲート電圧とオフ電流の関係を示し、図2は、バックチャネル界面にプラズマ処理を行った薄膜トランジスタの場合のゲート電圧とオフ電流の関係を示す。

【0024】図1及び図2から、バックチャネル界面にプラズマ処理をしなかった場合は、正の電圧の印加に対し、オフ電流の増加が見られたが（図1）、Arプラズマで処理を行うと、このオフ電流の増加が見られなくなった（図2）ことがわかる。

【0025】このように、バックチャネル界面にAr等

の不活性元素を用いたプラズマ処理を施すことにより、界面準位が形成され、薄膜トランジスタ上の電位に起因するバンドベンディングを防止することが出来、それによって、 $a-Si$ のバックチャネル界面付近における電子の蓄積を防ぎ、オフ時のリーク電流の増加を防ぐことができる。その結果、表示特性の良好な反射型液晶表示装置及び透過型液晶表示装置を得ることが可能である。

【0026】

【実施の形態】以下、図面を参照して、本発明の実施例を示し、本発明をより具体的に説明する。

#### 実施例1

図3は、本発明の一実施例に係る液晶表示装置の製造工程を示す断面図、図4は、その平面図である。

【0027】まず、ガラス基板（図示せず）上に $SiO_x$ 膜1を形成し、この $SiO_x$ 膜上にゲート電極層2を形成する。（図3（a））。次いで、 $SiO_x$ や $SiN_x$ の単層又は積層からなる絶縁層、 $a-Si$ 膜5、及び $n^+ a-Si$ 膜6を順次堆積し、 $n^+ a-Si$ 膜6、 $a-Si$ 膜5を順次パターンニングし、 $a-Si$ の島パターンを形成する（図3（b））。

【0028】次に、ゲート絶縁膜をパターンニングして、ゲート電極取り出し用の孔7を形成する（図3（c））。

その後、金属層を堆積し、パターンニングし、信号線電極層8を形成する。なお、このパターンニング工程では、まずレジストパターンを形成して、それをマスクに金属層をエッチングし、その後、CDE装置等を用いて $n^+ a-Si$ 膜6、 $a-Si$ 膜5を連続的に選択的にエッチングする。そして $Ar$ ガスを用いたプラズマ処理を行う（図3（d））。

【0029】プラズマ処理は、次のようにして行われる。即ち、平行平板型のRIE処理装置を用い、面積 $600\text{ cm}^2$ のカソード電極上に試料を載置し、圧力 $10\text{ Pa}$ 、電力 $100\text{ W}$ 、処理時間 $10\text{ 秒} \sim 10\text{ 分間}$ の条件でプラズマ処理を行った。

【0030】このプラズマ処理により、 $a-Si$ 層5のバックチャネル界面から $30\text{ nm}$ の以内の領域9に、 $0.2$ 原子%の $Ar$ が含まれることとなった。なお、 $Ar$ プラズマの代わりに $Ne$ 、 $Kr$ 、 $Xe$ 等の他の希ガスをを用いることも可能である。

【0031】次いで、 $SiN_x$ 膜を堆積して、パターンニングし、パッシベーション層10を形成する（図3（e））。次に、 $Al$ 等の金属層を堆積し、パターンニングして、画素電極層11を形成する（図3（f））。

【0032】その後、液晶の配向膜となるポリイミド層を堆積し、アレイ基板が完成する。このアレイ基板を、ITO層及びカラーフィルター層を有する対向基板と組み合わせ、これらの基板間に液晶を注入することにより、反射型の液晶表示装置が完成する。

【0033】この液晶表示装置について、表示特性を調べたところ、良好な表示特性を示した。

#### 比較例1

バックチャネル界面にプラズマ処理を行わなかったことを除いて、実施例1と同様にして反射型の液晶表示装置を作成し、表示特性を調べたところ、劣化した表示特性を示した。

#### 【0034】比較例2

バックチャネル界面に水素を含む雰囲気中でプラズマ処理を行なったことを除いて、実施例1と同様にして反射型の液晶表示装置を作成し、表示特性を調べたところ、劣化した表示特性を示した。

【0035】表示特性が劣化した理由は、プラズマ処理後の製造プロセスにおける熱処理により、水素が抜けた結果、本発明の効果が失われたためと考えられる。

#### 実施例2

図5は、本発明の一実施例に係る液晶表示装置の製造工程を示す断面図、図6は、その平面図である。

【0036】まず、ガラス基板（図示せず）上に $SiO_x$ 膜1を形成し、この $SiO_x$ 膜上にゲート電極層2を形成する。（図5（a））。次いで、 $SiO_x$ や $SiN_x$ の単層又は積層からなる絶縁層、 $a-Si$ 膜5、及び $n^+ a-Si$ 膜6を順次堆積し、 $n^+ a-Si$ 膜6、 $a-Si$ 膜5を順次パターンニングし、 $a-Si$ の島パターンを形成する（図5（b））。

【0037】次に、ITO膜をスパッタ法等で形成し、パターンニングして、画素電極層11を形成する（図5（c））。その後、ゲート絶縁膜をパターンニングして、ゲート電極取り出し用の孔を形成する（図5（d））。更に、金属層を堆積して、パターンニングし、信号線電極層8を形成する。なお、このパターンニング工程では、まずレジストパターンを形成して、それをマスクに金属層をエッチングし、その後CDE装置等を用いて $n^+ a-Si$ 膜6、 $a-Si$ 膜5を連続的にエッチングする。そして、実施例1と同様にして、 $Ar$ ガスを用いたプラズマ処理を行う。この処理により $a-Si$ 層5のバックチャネル界面から $30\text{ nm}$ の領域9に $0.2$ 原子%の $Ar$ が含まれる。

【0038】この後、液晶の配向膜となるポリイミド層を堆積し、アレイ基板が完成する。このアレイ基板を、ITO層及びカラーフィルター層を有する対向基板と組み合わせ、その間に液晶を注入することにより液晶表示装置が完成する。この液晶表示装置について、表示特性を調べたところ、良好な表示特性を示した。

#### 【0039】

【発明の効果】以上説明したように、本発明によれば、 $a-Si$ からなる活性層のバックチャネル部分に $Ar$ 等の不活性元素のプラズマ処理を行うことにより、薄膜トランジスタ上の電極や電荷の電位の影響によるオフリーク電流の増加を抑制することができ、その結果、表示特性の良好な液晶表示装置を得ることが可能である。

#### 【0040】

【図面の簡単な説明】

【0041】

【図1】従来の液晶表示装置の薄膜トランジスタの上部の電位の影響によるオフ電流の増加を示す特性図。

【0042】

【図2】本発明の液晶表示装置の薄膜トランジスタの上部の電位の影響によるオフ電流の減少を示す特性図。

【0043】

【図3】本発明の第1の実施例に係る液晶表示装置の製造工程を示す断面図。

【0044】

【図4】本発明の第1の実施例に係る液晶表示装置の平面図。

【0045】

【図5】本発明の第2の実施例に係る液晶表示装置の製

造工程を示す断面図。

【0046】

【図6】本発明の第2の実施例に係る液晶表示装置の平面図。

【0047】

【符号の説明】

1…アンダーコートSiO<sub>x</sub>層

2…ゲート電極層

3…ゲート絶縁膜

5…a-Si層

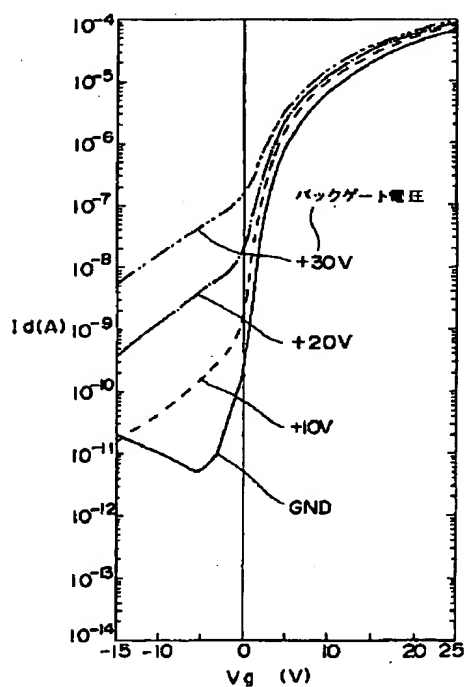
6…n<sup>+</sup>a-Si層

7…信号線電極層

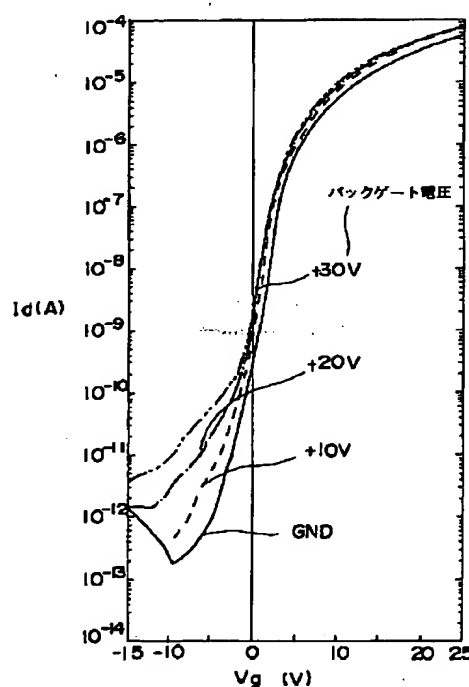
8…パッシベーションSiNx層

9…画素電極層

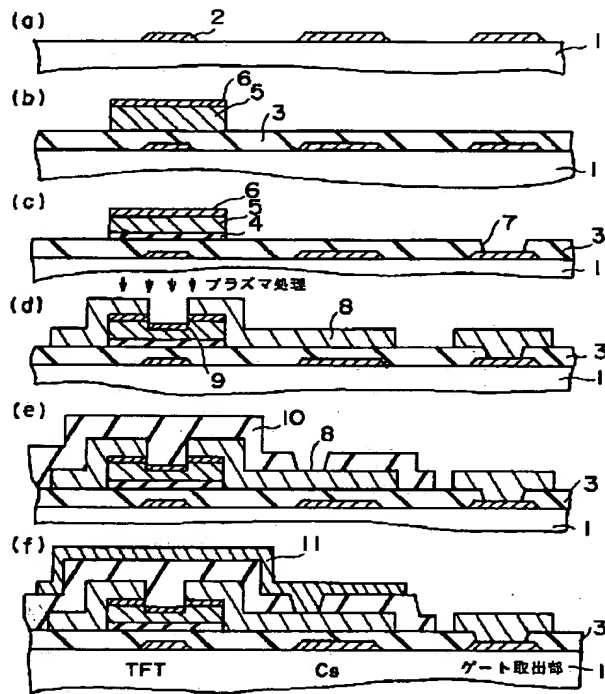
【図1】



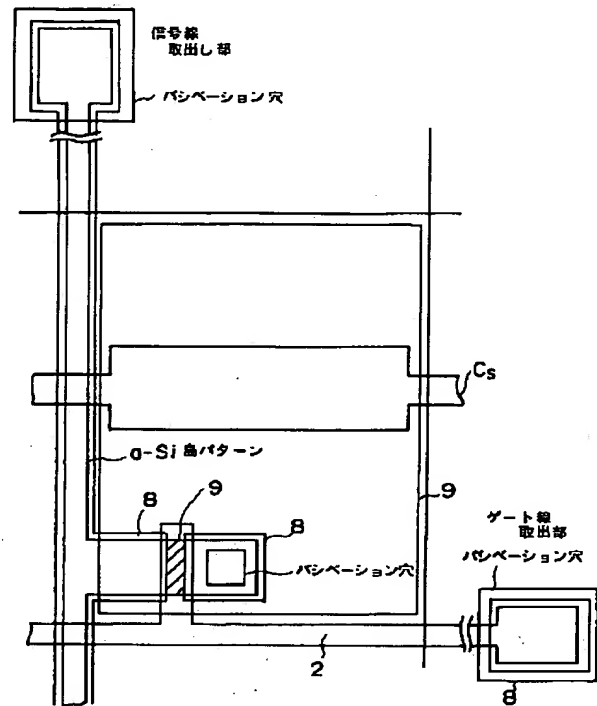
【図2】



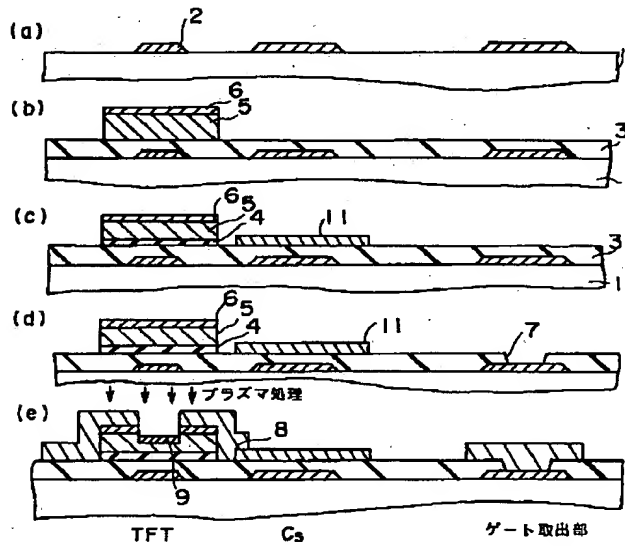
【図3】



【図4】



【図5】



【図6】

